

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-38498

⑪ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 昭和57年(1982)3月3日

G 09 G 3/36

7250-5C

G 01 R 31/28

7807-2G

G 09 F 9/35

7520-5C

G 09 G 3/20

6453-5C

発明の数 1

審査請求 未請求

(全 6 頁)

⑭ アクティブマトリックス基板のテスト方式

会社諏訪精工舎内

⑯ 特 願 昭55-115032

⑰ 出 願 人 株式会社諏訪精工舎

⑱ 出 願 昭55(1980)8月21日

東京都中央区銀座4丁目3番4

⑲ 発 明 者 西角伸治

⑳ 代 理 人 弁理士 最上務

諏訪市大和3丁目3番5号株式

明 細 書

1 発明の名称

アクティブマトリックス基板のテスト方式

2 特許請求の範囲

(1) 各ドット・エレメントに具備されているデ

ータを保持する容量に、予め一定の電荷を蓄積さ

せ、一定周期後に前記電荷を読み出し、レベル判

定することを特徴とするアクティブマトリッ

クス基板のテスト方式。

3 発明の詳細な説明

本発明は液晶等のディスプレイ装置に用いるア
クティブマトリックス基板のテスト方式に関する
ものである。

アクティブマトリックス基板とは、第1図に示
すようにトランジスタと電荷蓄積のための容量が
マトリックス状に配列されている。ライン入力 X_1
～ X_n はトランジスタのゲートに配線され、マトリ

ックスの行を選択する。又データ入力となるライ

ン Y_1 ～ Y_j は選択された行に対してトランジスタ

を介して蓄積コンデンサにデータを電荷として蓄

える。このコンデンサの電極 B_{11} ～ B_{ij} がディス

プレイ装置の駆動電極となり、この電極上のディス

プレイ媒体を駆動する。このマトリックスの動作

はまず Y_1 ～ Y_j に B_{11} ～ B_{ij} に入れるべきデータ

をセットして、ライン X_i によりトランジスタ Tr_{11} ～

Tr_{ij} を ON させて、コンデンサ C_{11} ～ C_{ij} に

電荷として信号を蓄える。この信号はグラフィッ

クであれば「0」と「1」に対応した2値であり

テレビ等の画像信号であれば「0」から「1」に

向って連続的な値である。更に同様に B_{11} ～ B_{ij} に

セットするデータを Y_1 ～ Y_j に用意し、ゲートラ

イン X_i によりトランジスタ Tr_{11} ～ Tr_{ij} を ON させ

て C_{11} ～ C_{ij} に信号をストレージさせる。同様に

X_j の示す行 B_{1j} ～ B_{ij} に信号を入力させると、又

X_1 にもどってこの動作を繰り返し、順次サイクリ

ックにリフレッシュしてゆく。

第2図はこのアクティブマトリックスを81ウェ

へに作成し、更に液晶ディスプレイを駆動する装置の断面図を示す。B1ウェハ4にまずストップP+域6とトランジスタのソース・ドレインとなるB+域5の拡散層を作製し、ゲート膜8上にゲート電極10とコンデンサ電極9(ポリシリコンを用いる)を作製する。ゲート膜以外はフィールド膜7に覆われている。この上にP80膜11をつけてコンタクトホールをあけて列ラインXi~XjとなるAZ配線13と駆動電極B11~B1jとなるAZ電極12が形成される。この後共通電極となるネサ膜2を備えたガラス板1でサンドイッチしてこの後液晶3を封入する。この装置で駆動電極12と共通電極2との間に所定の電位差以上であれば液晶は点灯し、それ以下であれば非点灯となる。又グレイ・スケールも電位次第で可能となる。この結果この駆動電極を1ドットとしてi行×j列のドットによるマトリックスディスプレイができる。

ここに用いるアクティブ・マトリックス基板は当然欠陥が少ない方がよく、もし欠陥があればそ

のドット、もしくはラインはディスプレイ装置上で常に点灯、又は非点灯として出現し、その装置は不良品となる。例えば蓄積コンデンサC11~C1jのリーク(絶縁膜8の不良等起因)やトランジスタのリーク(拡散の接合不良)は画面の不良となるし、又ラインXi~Xjに接続されているトランジスタのリークは、ラインの不良となり、又ラインXi~Xiのリークは、やはり横ラインの不良としてディスプレイパネルに現われる。従ってパネルにする以前に欠陥の有無、更にある場合はその場所を事前に調べて、基板を廃却するなり、欠陥の除去、修正を行なって良品化する必要がある。ところが従来はラインについては(i+j)本のリーク、又は断線の測定は、信号入力となるパッドにプロービングすることにより可能であったが、ドットエレメントは(i×j)ありこの駆動電極1コ1コにプロービングしてリーク、断線チェックをすることは莫大な手数がかかる。例えばテレビ画像の場合i=200、j=200となり、エレメントは40000コとなり、その測定は不可能に近く

実際にパネルにしてから良品と不良品の選別をせざるを得ず非常に効率が低く、又歩留りも極度に低かった。又百歩回って測定しても、その許容値が10nA~100pAという微小電流であり、測定値が不安定で信頼性に乏しい。

従って本発明の目的は、パネルディスプレイ装置にする以前にラインからエレメントに至るまで全ての欠陥の有無とアドレスを短時間で測定し、除去可能な欠陥はレーザ等で取り除き良品化すると共に除去不能のものとの選別も合わせて行なえるような方式を提供することにある。

本発明は従来ラインについてはリーク等は全て直感的に測定していたが、ライン、エレメント共にコンデンサに蓄積させた電荷のリークを調べるダイナミック法にすることが特徴である。コンデンサに蓄えた電荷はリークがあれば一定期間後に調べると電荷が消失しているし、なければ電荷は保持されていることを利用し、一定周期でこの電荷量の変化をとらえることにより、ドットエレメントの欠陥の有無とそのアドレスがわかる。

第3図は本発明のアクティブマトリックス基板のテストシステムの一例を示す。マトリックス53は全く第1図と同じである。Xiラインの信号を制御するためのシフトレジスタ33はコンビュータ35のクロック信号44、Xi~Xiのうち一本のみを選択するためのデータ信号45、内部を全てリセット、セットする信号42、43、出力のみを全てリセット状態にする信号55により制御される。

出力0xi~0xi、0xi~0xiはラインXi~Xiを0.8V電位か、VDD電位かを選択するスイッチである。電流計56は各ラインにVDDから流れ込む電流を測定しデジタル信号54として出力する。シフトレジスタ33はXiラインを選択する信号を出力しシフトレジスタ37と全く同じようにコンビュータ35により制御される。ドライバ34は“0”又は“1”を出力しスイッチ8aの開閉により共通ライン38をドライブする。コンパレータ31は共通ラインの電位をD/A変換器32により設定されるコンパレートレベルVcと比較する。トランジスタTxi~Txiはシフトレジスタの出力

$Oy_i \sim Oy_j$ により Xラインと共通ラインを接続したり切り離したりするスイッチとなる。

このシステムにおけるテストの動作のフローチャートを第4、5、7図に示す。

第4図はXラインのリークを測定する例であり、まずシフトレジスタ33をリセットして、 $Txi \sim Txi$ を導通状態とし $Xi \sim Xi$ を0ND電位とする。その後シフト回路により順次 $Txi \sim Txi$ をONさせ $Xi \sim Xi$ を1つづつVDD電位として、電流計56によりそのリークを調べ、もしリークがあれば記録してかき、後に欠陥の除去の時にそのアドレスを用いる。

第5図はYラインのリークを測定するフローである。まずX側のシフトレジスタ37をリセットし、 $Xi \sim Xi$ を全て0ND電位としてトランジスタを全てOFFとしてエレメントが含まれないようにする。その後シフトレジスタ33をセットし、 $Oy_i \sim Oy_j$ により $Tyi \sim Tyj$ を全て0NDさせ、ドライバを“1”電位(VDD電位)にしてスイッチ8yを開きYラインに寄生している容量 $Oy_i \sim Oy_j$

に同時に“1”電位まで充電し、電荷を蓄積させる。そのすぐ後にシフトレジスタ33をリセットし $Tyi \sim Tyj$ をOFFとして、この状態で一定の時間待つ。その後ドライバ34を“0”電位にしてスイッチ8yをONさせて、容量 Oij の電荷を放電させ又すぐに8yを閉じて、共通ライン38を高インピーダンスとする。その後シフトレジスタ33を動作させ、まずOy信号により Tyi を0NDさせて Oy_i に蓄積させた電荷を Oij と分割する。第6図にこの動作を示す。共通ライン38の電位 Vo は Oy_i により選択すると Oy_i の電荷により Oij が充電される。 Oy_i の電荷が失なわれていなければ、所定の容量比によって決定される値になり、 Vo をこの値よりわずかに下に設定してストロブ期間のストロブパルス8TBによる比較結果をラッチする。もし、ラインにリークがあれば Oy_i の電荷は失なわれており Vo の電位は Vo を超えないことになり、コンパレータ31の出力により判定できる。ここで不良があればやはりアドレスを記録してこの動作を順次 Tyj まで繰り返す。

第7図はエレメントを測定するフローである。まずドライバ34の出力を“1”にしてスイッチ8yをONさせる。次にシフトレジスタ33をセットして $Tyi \sim Tyj$ を0NDさせる。この後にシフトレジスタ37により $Xi \sim Xi$ により1行目からi行目まで1行づつ順次トランジスタを0NDさせコンパレータ $Oij \sim Oij$ に電荷を蓄積させる。この $Xi \sim Xi$ の選択する周期はマトリックスのリフレッシュ周期の1分の1付近にする。次に2つのシフトレジスタをリセットしてドライバを“0”にしてまずシフトレジスタ33をセットして $Tyi \sim Tyj$ 全てを0NDさせ、 $Oy_i \sim Oy_j$ と Oij の電荷を放電させてから8yを閉じて高インピーダンス状態とする。次にシフトレジスタ33をリセットして $Tyi \sim Tyi$ をOFFさせた後にシフトレジスタ37によりまず Xi を選択し $Txi \sim Txi$ を0NDさせて $Yi \sim Yj$ に $Oij \sim Oij$ の電荷を読み出す。この後にシフトレジスタ33を走査させて $Tyi \sim Tyj$ を1つずつ順次0NDさせて、 $Oy_i \sim Oy_j$ の電荷を Oij に読み出す。第8図はこの状態を示したもので Xi

$\sim Yj$ のうち1つが選択されると $Yi \sim Yj$ にエレメントの電荷がラインに容量比に従って移動する。その後 $Oy_i \sim Oy_j$ により $Txi \sim Tyj$ が0NDすると更にこの電荷が Oij に移動する。その結果共通ライン38の電位は、電荷の消失がなければ最終的に Vo_1 と Vo_2 の間にある。第9図はこの回路の具体例を示しD・A変換器60により2つのコンパレートレベル Vo_1 と Vo_2 が作られ、各々のコンパレータ61、62により比較されラッチ63、64に入力する。もしエレメントにリークがあると Vo は Vo_1 を超えない。又エレメントが $Xi \sim Xi$ ラインとの間にリークがあれば $Xi \sim Xi$ が“1”となった時に逆に充電されて Vo は Vo_2 を超える。このようにしてエレメントの欠陥の状態とアドレスが記録される。又Xライン、Yラインに断線がある場合はエレメント、テストにより断線に欠陥が出現し判定できる。

第3図における $Oij \sim Oij$ は約1～10 pF、 $Oy_i \sim Oy_j$ は約10～50 pF、 Oij は約10 pF～100 pF、 $VDD = 10V$ とすると判定するレベルはせい

せい5mVの分解能があればよく、これは可能である。

本発明は一定期間における電荷のリークをアクティブマトリックスのテストパラメータとするものであり、この方式によれば、数100pAという微小リークでも時定数に置き換えて簡単に測定できるので、ラインのみならず、従来不可能であったエレメントも確実に測定できる。又ここでは例として一番簡単なテストフローをかけたが、これらを組み合わせればクロストーク、テストや逆リーク(電荷が充電されてしまう欠陥)テストも実現できる。又第3図のシステムは当然一例にすぎず同じ機能は他の回路によっても実現できる。

本発明の方式では1つのマトリックス基板をリフレッシュサイクルが30msecの時、約1秒以内でテストを完了させることができる。又テストした結果である、欠陥の状況とアドレスは全て記憶されて、自動的に、又はマニュアルで、欠陥部分の除去(例えばAL配線の切断による)が行われる。この結果マトリックス基板の良品、不良品の選別

が素早く行え、又欠陥を含む基板であっても修正が可能となり、組立て効率もよく、歩留りも大幅に向上した。

4. 図面の簡単な説明

第1図はアクティブマトリックス基板の回路を、又、第2図は液晶ディスプレイパネル化した際の断面図を示す。

第3図は本発明におけるマトリックス基板のテストシステムの構成例を示す。又、第4、5、7図は第3図のシステムを用いたテストのフローの例を示す。

第6図、第8図は本発明の電荷読み出し方式の動作を説明したものであり、第9図は第8図の動作を判定するための比較回路の構成である。

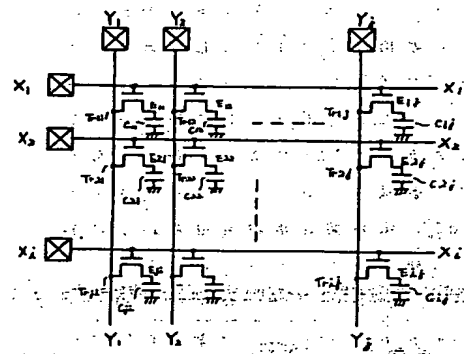
- 1 ガラス
- 2 ネサ膜
- 3 液晶
- 4 Siウェハ

- 9, 10 多結晶シリコン
- 8 ゲート膜
- 7, 11 フィールド膜
- 12, 13 AL
- 33, 37 シフトレジスタ

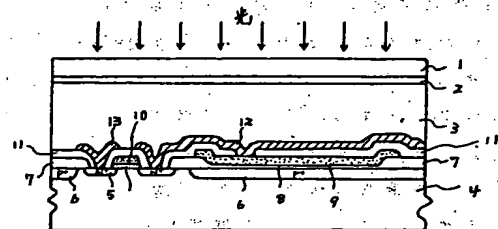
以上

出願人 株式会社 諏訪精工舎

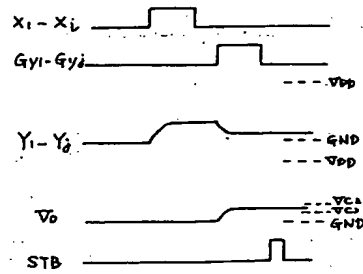
代理人 弁理士 最上 務



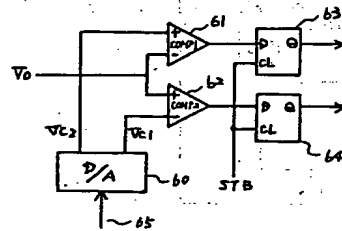
第1図



第2図



第 8 図



第 9 図

(11) Japanese Unexamined Patent Application Publication No.
57-38498

(43) Publication Date: March 3, 1982

(21) Application No. 55-115032

(22) Application Date: August 21, 1980

(71) Applicant: Seiko Epson Corporation

(72) Inventor: Shinji MOROZUMI

(74) Agent: Patent Attorney, Tsutomu MOGAMI

SPECIFICATION

1. Title of the Invention: TEST METHOD FOR ACTIVE MATRIX
SUBSTRATE

2. Claim

(1) A test method for an active matrix substrate,
wherein a certain amount of charge is accumulated in advance
in a capacitance provided in each dot element for holding
data, the charge is read out after a certain interval of
time, and level measurement is performed.

3. Detailed Description of the Invention

The present invention relates to a test method for an
active matrix substrate used for a display device, such as a
liquid crystal display.

As shown in Fig. 1, an active matrix substrate is such that transistors and capacitances for accumulating charge are arranged in a matrix. Line inputs X_1 to X_i are wired to gates of the transistors to select a row of the matrix. Lines Y_1 to Y_j that refer to data inputs cause data to be accumulated as charge in the accumulation capacitors via the transistors corresponding to the selected row. Electrodes E_{uj} to E_{ij} of the capacitors serve as driving electrodes for the display device, and drive display media disposed on the electrodes. In the operation of the matrix, first, data to be fed to E_{11} to E_{1j} is set in Y_1 to Y_j , and transistors Tr_{11} to Tr_{1j} are turned on by the line X_1 to accumulate the signal as charge in capacitors C_{11} to C_{1j} . The signal is binary "0" or "1" when it is a graphic signal, and is a continuous value from "0" to "1" when it is an image signal for a television or the like. Further, similarly, data to be set in E_{21} to E_{2j} is prepared in Y_1 to Y_j , and the transistors Tr_{21} to Tr_{2j} are turned on by the gate line X_2 to store the signal in C_{21} to C_{2j} . Similarly, after inputting the signal to E_{i1} to E_{ij} on the row indicated by X_j , the operation is repeated again on X_1 , and cyclic refreshment is performed in a sequential manner.

Fig. 2 is a cross-sectional view of a device that fabricates the active matrix on a Si wafer and that drives the liquid crystal display. First, a diffusion layer of a

stopper P^+ region 6 and an N^+ region 5 forming a source and drain of a transistor are fabricated on a Si wafer 4, and a gate electrode 10 and a capacitor electrode 9 (using polysilicon) are fabricated on a gate layer 8. The components other than the gate layer 8 are covered with a field layer 7. A PSG layer 11 is formed thereon, and is formed with contact holes to form Al lines 13 serving as the column lines Y_1 to Y_j and Al electrodes 12 serving as the drive electrodes E_{11} to E_{ij} . Thereafter, a glass plate 1 having a Nesa film 2 serving as a common electrode is formed, and a liquid crystal 3 is then injected therebetween in a sandwiched manner. In this device, the liquid crystal emits light if the potential difference between the drive electrode 12 and the common electrode 2 is a predetermined value or higher, and does not emit light if it is this value or lower. Grayscale is also possible depending on the potential. As a result, a matrix display having i rows and j columns of dots, each dot being formed of this drive electrode, is manufactured.

It is better that the active matrix substrate used therein be less defective. A defective dot or line appears to stay lit or unlit on the display device, and the device is a defective product. For example, a leakage of the accumulation capacitors C_{11} to C_{ij} (caused by failure of the insulating layer 8, etc.) or a leakage of a transistor

(bonding failure of diffusion) results in a pixel defect, and a leakage of the transistors connected to the lines Y_1 to Y_j results in a line defect. Also, a leakage of the lines X_1 to X_i appears as a horizontal line defect on the display panel. It is therefore necessary to determine whether or not a defect exists before assembling them into a panel, and to, if a defect exists, further search for the location beforehand to reject the substrate or eliminate or correct the defect, thereby manufacturing a non-defective product. Conventionally, it is possible to measure a leakage of $(i + j)$ lines or a disconnection of the lines each time a pad serving as a signal input is probed; however, the number of dot elements is $(i \times j)$. It is therefore time-consuming to probe the individual drive electrodes to check a leakage/line disconnection. For example, in the case of a television image, $i = 200$ and $j = 200$, and the measurement of 40000 elements is almost impossible. Actually, non-defective and defective products must be distinguished after assembling a panel, leading to inefficiency and considerably low yield. Even if the measurement is carried out, a minute electric current with a tolerance of 1 μA to 100 pA yields an unstable, unreliable measurement value.

It is therefore an object of the present invention to provide a method in which the presence of a defect and the

address for all components ranging from lines to elements can be measured in a short time before assembling them into a panel display device and in which a removable defect can be eliminated by a laser or the like to manufacture a non-defective product while distinguishing it from a non-removable defect.

The present invention is characterized by providing a dynamic method in which a leakage of the charge accumulated in capacitors, together with lines and elements, is tested, whereas, conventionally, direct-current measurement is used for a leakage of all of the lines, etc. If a leakage of the charge accumulated in the capacitors exists, the charge is lost after a certain period; otherwise, the charge is held. This phenomenon is used to detect a change in the amount of charge at certain intervals of time, thereby determining whether or not the dot elements are defective and the address thereof.

Fig. 3 illustrates an exemplary test system for an active matrix substrate of the present invention. A matrix 53 is the same as that shown in Fig. 3. A shift register 37 for controlling a signal of X lines is controlled by a computer 35 by means of a clock signal 44, a data signal 45 for selecting one of X_1 to X_i , signals 42 and 43 for resetting and setting all internal components, and a signal 55 for resetting only outputs. Outputs Gx_1 to Gx_i and Gx_{i+1}

bar to Gx_i -bar serve as switches of the lines X_1 to X_i for selecting a GND potential or a V_{DD} potential. An ammeter 56 measures electric current flowing in each line from V_{DD} , and outputs a digital signal 54. A shift register 33 outputs a signal for selecting a Y line, and is controlled by the computer 35 in the same manner as the shift register 37. A driver 34 outputs "0" or "1", and drives a common line 38 by opening and closing a switch S_y . A comparator 31 compares the potential of the common line with a comparative level V_c set by a D/A converter 32. Transistors Ty_1 to Ty_j serve as switches for connecting or disconnecting between the Y lines and the common line depending on outputs Gy_1 to Gy_j .

Figs. 4, 5, and 7 illustrate flowcharts showing the testing operation of the system.

Fig. 4 illustrates an example in which a leakage of the X lines is measured. First, the shift register is reset to cause Tx_1' to Tx_i' to conduct, and X_1 to X_i are set to the GND potential. Thereafter, Tx_1 to Tx_i are sequentially turned on by the shift circuit to set X_1 to X_i to the V_{DD} potential one-by-one, and a leakage thereof is checked by the ammeter 56. If a leakage exists, the leakage is memorized, and the address thereof is used later when the defect is removed.

Fig. 5 illustrates the flow of measuring a leakage of the Y lines. First, the shift register 37 on the X side is

reset to set all X_1 to X_i to the GND potential, and all transistors are turned off so that the elements are not included. Thereafter, the shift register 33 is set, and all Ty_1 to Ty_j are turned on by Gy_1 to Gy_j . The driver is set to the "1" potential (V_{DD} potential) to open the switch Sy , and the capacitances Cy_1 to Cy_j parasitic to the Y lines are charged to the "1" potential at the same time to accumulate the charge. Immediately thereafter, the shift register 33 is reset to turn off Ty_1 to Ty_j , and waits for a certain period of time in this state. Thereafter, the driver 34 is set to the "0" potential to turn on the switch Sy to discharge the charge of a capacitance C_{IN} , and Sy is immediately closed to set the common line 38 to high impedance. Thereafter, the shift register 33 is activated, and, first, Ty_1 is turned on by the Gy signal to share the charge accumulated in Cy_1 with C_{IN} . This operation is illustrated in Fig. 6. When the potential V_o of the common line 38 is selected by Gy_1 , C_{IN} is charged with the charge of Cy_1 . The potential becomes a value determined based on a predetermined capacitance ratio unless the charge of Cy_1 is lost. V_c is set immediately below this value, and a comparison result by means of a strobe pulse STB in a strobe period is latched. If a line leakage exists, the charge of Cy_1 is lost, and the potential of V_o does not exceed V_c , thus making it possible to perform the test by means of the

output of the comparator 31. If a defect exists here, also, the address is recorded. This operation is sequentially repeated until Y_j .

Fig. 7 illustrates the flow of measuring the elements. First, the output of the driver 34 is set to "1", and the switch S_y is turned on. Then, the shift register 33 is set, and Ty_1 to Ty_j are turned on. Thereafter, the shift register 37 causes the transistors to be sequentially turned on by X_1 to X_i on a row-by-row basis from the first row to the i -th row to accumulate the charge in the capacitors C_{11} to C_{ij} . The selection period of X_1 to X_i is set to about one i -th of the refreshing period of the matrix. Then, the two shift registers are reset to set the driver to "0". The shift register 33 is first set, and all Ty_1 to Ty_j are turned on to discharge the charge of Cy_1 to Cy_j and C_{IN} , after which S_y is closed to provide the high-impedance state. Then, the shift register 33 is reset, and Ty_1 to Ty_j are turned off, after which the shift register 37 first selects X_1 and turns on Tr_1 to Tr_{ij} to read out the charge of C_{11} to C_{ij} to Y_1 to Y_j . Thereafter, the shift register 33 scans, and Ty_1 to Ty_j are sequentially turned on one-by-one to read out the charge of Cy_1 to Cy_j to C_{IN} . Fig. 8 illustrates this stage. When one of X_1 to X_j is selected, the charge of the elements moves to Y_1 to Y_j to the lines according to the capacitance ratio. Thereafter, when Tr_1 to Tr_j are turned on by Gy_1 to Gy_j , the

charge further moves to C_{IN} . As a result, the potential of the common line 38 finally resides between V_{C1} to V_{C2} unless the charge is lost. Fig. 9 illustrates a specific example of this circuit. A D/A converter 60 generates two comparative levels V_{C1} and V_{C2} , and comparators 61 and 62 perform comparison and input results to latches 63 and 64. If an element leakage exists, V_o does not exceed V_{C1} . If an element leakage exists between the X_1 to X_i lines, conversely, charging is performed when X_1 to X_i become "1", and V_o exceeds V_{C2} . The failure state of the element and the address are thus recorded. Further, if an X line or Y line is disconnected, the element test allows a defect to linearly appear, and it is possible to detect the defect.

In Fig. 3, it is assumed that C_{11} to C_{ij} are about 1 to 10 pF, C_{y1} to C_{yj} are about 10 to 50 pF, C_{IN} is about 10 pF to 100 pF, and $V_{DD} = 10$ V. In this case, it is sufficient that the level to be used for the test has a resolution of at most 5 mV, which is possible.

In the present invention, the leakage of charge in a certain period is used as an active-matrix test parameter. According to this method, even a small leakage of several 100 pA can be readily measured by replacing it with a time constant. It is therefore possible to reliably measure not only lines but also elements, which is conventionally impossible. Further, while the simplest test flows are

illustrated herein, by way of example, a combination thereof can be used to further implement a crosstalk test or a reverse-leakage (failure that causes the charge to be charged) test. The system illustrated in Fig. 3 is merely an example, and the same functionality can also be implemented by another circuit.

In the method of the present invention, when the refreshing cycle is 30 msec, the testing of a single matrix substrate can be completed within about one second. Further, test results, i.e., the failure status and the address, are all recorded, and a defective portion is automatically or manually eliminated (by, for example, cutting the A1 line). It is therefore possible to rapidly distinguish non-defective and defective matrix substrates and to correct a substrate including a defect, leading to high assembly efficiency and considerably improved yield.

4. Brief Description of the Drawings

Fig. 1 is a circuit diagram of an active matrix substrate, and Fig. 2 is a cross-sectional view thereof when assembled into a liquid crystal display panel.

Fig. 3 illustrates an example structure of a test system for a matrix substrate in the present invention. Figs. 4, 5, and 7 illustrate exemplary test flows using the system shown in Fig. 3.

Figs. 6 and 8 illustrate the operation of a charge read-out method of the present invention, and Fig. 9 illustrates a structure of a comparison circuit for testing the operation shown in Fig. 8.

- 1: glass
- 2: Nesa film
- 3: liquid crystal
- 4: Si wafer
- 9, 10: polycrystalline silicon
- 8: gate layer
- 7, 11: field layer
- 12, 13: Al
- 33, 37: shift register

FIG. 2

A .. LIGHT

FIG. 4

A .. START

B .. RESET SR-x

C .. SET DATA IN SR-x

D .. SHIFT SR-x

E .. MEASURE ELECTRIC CURRENT

F .. RECORD

G .. END

FIG. 5

A .. START

B .. RESET SR-x

C .. SET SR-y

D .. RESET SR-y

E .. SET TIME

F .. SET DATA IN SR-y

G .. SHIFT SR-y

H .. LEVEL TESTING

I .. RECORD

J .. END

FIG. 7

A .. START
B .. SET SR-y
C .. SET DATA IN SR-x
D .. SHIFT SR-x
E .. SET TIME
F .. CHARGE IN C_{11} TO C_{ij}
G .. RESET SR-x AND SR-y
H .. SET DATA IN SR-x
I .. SHIFT SR-x
J .. SET SR-y
K .. DISCHARGE Y_1 TO Y_j LINES
L .. RESET SR-y
M .. SET DATA IN SR-y
N .. SHIFT SR-y
O .. LEVEL TESTING
P .. RECORD
Q .. DISCHARGE V_0 LINE

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.